

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-57763

(P2000-57763A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.<sup>7</sup>

G11C 11/406

識別記号

F I

G11C 11/34

テマコード\* (参考)

363K 5B024

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21)出願番号 特願平10-224305

(22)出願日 平成10年8月7日(1998.8.7)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 伊藤 孝

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5B024 AA01 BA18 BA21 BA23 BA27

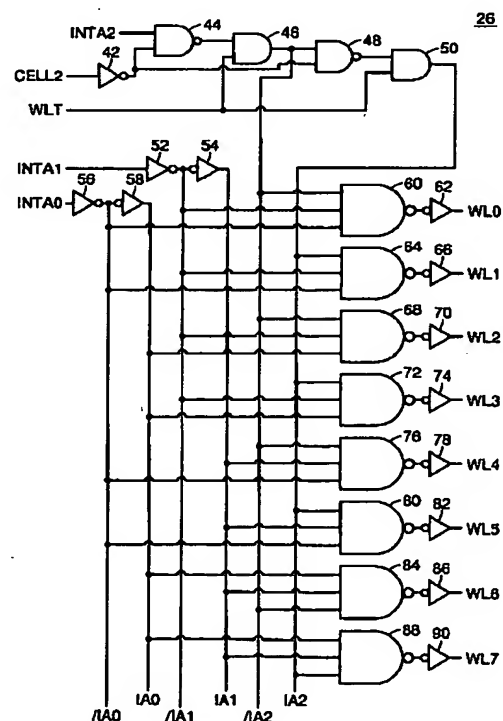
CA16 DA10 DA14

(54)【発明の名称】 ダイナミック型半導体記憶装置

(57)【要約】

【課題】 用途に応じて低消費電力に切換え可能な半導体記憶装置を提供する。

【解決手段】 メモリ容量が必要で消費電力がそれほど重要ではない場合には通常の動作をさせ、記憶容量がそれほど必要ではなく消費電力を抑えたい場合にはワード線を2本同時に活性化することにより1つのデータを記憶するために1つのビット線に共通して接続される2つのメモリセルを使用する。このためリフレッシュ周期をより長くした低消費電力動作が可能である。そして、この2つの動作モードはユーザにとって必要に応じて適宜切換えて使用することが可能である。



## 【特許請求の範囲】

【請求項 1】 第 1 のメモリアレイを備え、

前記第 1 のメモリアレイは、

第 1 および第 2 のメモリセルと、

前記第 1 および第 2 のメモリセルに対して授受されるデータを伝達するための第 1 のビット線と、

前記第 1 のメモリセルを選択するための第 1 のワード線と、

前記第 2 のメモリセルを選択するための第 2 のワード線と、

アドレス信号に応じて、前記第 1 および第 2 のワード線を活性化し、前記第 1 および第 2 のメモリセルを選択するセル選択手段とをさらに備え、

前記セル選択手段は、

第 1 のモードにおいては、前記アドレス信号に応じて前記第 1 および第 2 のメモリセルのいずれかを選択し、第 2 のモードにおいては、前記第 1 のメモリセルに対応するアドレス信号に応じて、前記第 1 および第 2 のメモリセルを選択する第 1 の行デコード回路を含む、ダイナミック型半導体記憶装置。

【請求項 2】 前記第 1 の行デコード回路に前記第 1 および第 2 のワード線の活性化電位を供給する電圧発生回路をさらに備え、

前記電圧発生回路は前記第 1 のモードにおける電流供給能力よりも前記第 2 のモードにおける電流供給能力が大きい、請求項 1 記載のダイナミック型半導体記憶装置。

【請求項 3】 前記電圧発生回路は、

前記第 1 のモードにおいて活性化され第 1 のクロック信号を発生する発振回路と、

前記第 2 のモードにおいて活性化され第 1 のクロック信号より周期の短い第 2 のクロック信号を発生する発振回路と、

前記第 1 および第 2 のクロック信号のいずれかに応じて昇圧動作をするチャージポンプ回路とを含む、請求項 2 記載のダイナミック型半導体記憶装置。

【請求項 4】 前記第 1 の行デコード回路は、

前記アドレス信号の所定のビットに対応する第 1 および第 2 のプリデコード信号を発生するプリデコード回路を含み、

前記プリデコード回路は、前記第 1 のモードにおいて前記所定のビットの論理値に応じて前記第 1 および第 2 のプリデコード信号のいずれかを活性化し、前記第 2 のモードにおいて前記第 1 および第 2 のプリデコード信号の両方を活性化し、

前記第 1 および第 2 のプリデコード信号に応じて前記第 1 および第 2 のワード線を活性化するワード線活性化回路をさらに含む、請求項 1 記載のダイナミック型半導体記憶装置。

【請求項 5】 前記第 1 の行デコード回路は、

前記第 2 のモードにおいて前記第 1 のワード線を活性化

するタイミングよりも前記第 2 のワード線を活性化するタイミングを遅延させる遅延手段を含む、請求項 1 記載のダイナミック型半導体記憶装置。

【請求項 6】 外部クロック信号に応じてアドレス信号を取り込むアドレスバッファ回路と、

外部クロック信号に応じて制御信号を取り込む制御信号バッファ回路と、

前記制御信号をデコードするコマンドデコーダと、

前記コマンドデコーダのデコード結果に応じて前記アドレス信号に対応する動作モードを保持するモードレジスタとをさらに備え、

前記モードレジスタは、

前記第 1 のメモリアレイの動作モードが前記第 1 のモードと前記第 2 のモードのいずれであるかを保持する第 1 の保持回路を含む、請求項 1 記載のダイナミック型半導体記憶装置。

【請求項 7】 第 2 のメモリアレイをさらに備え、

前記第 1 および第 2 のメモリアレイはそれぞれ独立して動作可能であり、かつそれぞれ前記動作モードを独立して制御できるバンクであり、

前記第 2 のメモリアレイは、

第 3 および第 4 のメモリセルと、

前記第 3 および第 4 のメモリセルに対して授受されるデータを伝達するための第 2 のビット線と、

前記第 3 のメモリセルを選択するための第 3 のワード線と、

前記第 4 のメモリセルを選択するための第 4 のワード線と、

前記セル選択手段は、アドレス信号に応じて、前記第 3 および第 4 のワード線を活性化し、前記第 3 および第 4

のメモリセルを選択し、

前記第 1 のモードにおいては、前記アドレス信号に応じて前記第 3 および第 4 のメモリセルのいずれかを選択し、第 2 のモードにおいては、前記第 3 のメモリセルに対応するアドレス信号に応じて、前記第 3 および第 4 のメモリセルを選択する第 2 の行デコード回路をさらに含み、

前記モードレジスタは、

前記第 2 のメモリアレイの動作モードが前記第 1 のモードと前記第 2 のモードのいずれであるかを保持する第 2 の保持回路をさらに含む、請求項 6 記載のダイナミック型半導体記憶装置。

【請求項 8】 外部から電位を与えることが可能な制御端子をさらに備え、

前記制御端子の電位に応じて前記第 1 のモードと前記第 2 のモードのいずれかが選択される、請求項 1 記載のダイナミック型半導体記憶装置。

【請求項 9】 電源ノードと内部ノードとの間に接続されるヒューズ素子をさらに備え、

前記ヒューズ素子は、導通状態と非導通状態のいずれか

が選択可能であり、

前記内部ノードの電位に応じて前記第1のモードと前記第2のモードのいずれかが選択される、請求項1記載のダイナミック型半導体記憶装置。

【請求項10】 接地ノードと内部ノードとの間に接続されるヒューズ素子をさらに備え、

前記ヒューズ素子は、導通状態と非導通状態のいずれかが選択可能であり、

前記内部ノードの電位に応じて前記第1のモードと前記第2のモードのいずれかが選択される、請求項1記載のダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミック型半導体記憶装置に関し、特にキャパシタに情報を蓄積するダイナミックランダムアクセスメモリ（DRAM）に関する。

【0002】

【従来の技術】図18は、DRAMの行デコードおよびメモリセルアレイを概略的に示す図である。

【0003】図18を参照して、外部から半導体記憶装置に入力されたロウアドレスは内部に保持されて内部ロウアドレス信号INTA0～INTAnとなり行デコード722に入力される。行デコード722は内部アドレス信号INTA0～INTAnをデコードしワード線WL0～WLnのいずれか1本を活性化するワード線活性化信号を内部アドレス信号INTA0～INTAnをデコードして出力する。このとき、従来の半導体記憶装置は1つのメモリセルをビット線（図示せず）に接続して、センスアンプで増幅することによりデータを“H”（ハイ）レベルまたは“L”（ロウ）レベルの2値で読出す。

【0004】

【発明が解決しようとする課題】しかしながら、携帯端末などのバッテリーで駆動する小型情報機器にとってレジューム（resume）やサスペンド（suspend）状態においては、ユーザが端末操作をしている通常使用状態と比べて、より低消費電力の半導体記憶装置が望まれる。消費電力を抑えるためには、DRAMが保持情報をリフレッシュするためのリフレッシュ周期を長くすることが考えられる。リフレッシュ周期を長くするにはDRAMのメモリセル1つあたりのキャパシタの容量を大きくすればよい。レジュームやサスペンド状態においては、記憶容量の多さよりも、消費電力が低いことがメインメモリとしての半導体記憶装置に望まれる。

【0005】一方、ユーザが端末を操作している通常使用状態においては、メインメモリはより記憶容量が多い方が望ましい。

【0006】DRAMのメモリセル1つあたりのキャパシタの容量を大きくすることも、記憶容量を多くするこ

ともいずれもDRAMのチップ面積の増加につながる。つまり、小型情報機器等の低消費電力を要求される用途においては、メモリの記憶容量を大きくするか、またはメモリの記憶容量を減らしてレジュームやサスペンド状態におけるバッテリーにおける駆動時間を長くするかのいずれかを選択しなければならないという問題点があった。

【0007】この発明の目的は、ユーザが端末を操作するような通常使用状態においてはメモリの記憶容量を多くし、レジュームやサスペンド状態等においてはメモリの記憶容量を減らしてリフレッシュ周期を長くしてより低消費電力化を図ったダイナミック型半導体記憶装置を提供することである。

【0008】

【課題を解決するための手段】請求項1に記載のダイナミック型半導体記憶装置は、第1のメモリアレイを備え、第1のメモリアレイは、第1および第2のメモリセルと、第1および第2のメモリセルに対して授受されるデータを伝達するための第1のビット線と、第1のメモリセルを選択するための第1のワード線と、第2のメモリセルを選択するための第2のワード線と、アドレス信号に応じて、第1および第2のワード線を活性化し、第1および第2のメモリセルを選択するセル選択手段とをさらに備え、セル選択手段は、第1のモードにおいては、アドレス信号に応じて第1および第2のメモリセルのいずれかを選択し、第2のモードにおいては、第1のメモリセルに対応するアドレス信号に応じて、第1および第2のメモリセルを選択する第1の行デコード回路を含む。

【0009】請求項2に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、第1の行デコード回路に第1および第2のワード線の活性化電位を供給する電圧発生回路をさらに備え、電圧発生回路は第1のモードにおける電流供給能力よりも第2のモードにおける電流供給能力が大きい。

【0010】請求項3に記載のダイナミック型半導体記憶装置は、請求項2記載のダイナミック型半導体記憶装置の構成に加えて、電圧発生回路は、第1のモードにおいて活性化され第1のクロック信号を発生する発振回路と、第2のモードにおいて活性化され第1のクロック信号より周期の短い第2のクロック信号を発生する発振回路と、第1および第2のクロック信号のいずれかに応じて昇圧動作をするチャージポンプ回路とを含む。

【0011】請求項4に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、第1の行デコード回路は、アドレス信号の所定のビットに対応する第1および第2のプリデコード信号を発生するプリデコード回路を含み、プリデコード回路は、第1のモードにおいて所定のビットの論

## 5

理値に応じて第1および第2のプリデコード信号のいずれかを活性化し、第2のモードにおいて第1および第2のプリデコード信号の両方を活性化し、第1および第2のプリデコード信号に応じて第1および第2のワード線を活性化するワード線活性化回路をさらに含む。

【0012】請求項5に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、第1の行デコード回路は、第2のモードにおいて第1のワード線を活性化するタイミングよりも第2のワード線を活性化するタイミングを遅延させる遅延手段を含む。

【0013】請求項6に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、外部クロック信号に応じてアドレス信号を取り込むアドレスバッファ回路と、外部クロック信号に応じて制御信号を取り込む制御信号バッファ回路と、制御信号をデコードするコマンドデコーダと、コマンドデコーダのデコード結果に応じてアドレス信号に対応する動作モードを保持するモードレジスタとをさらに備え、モードレジスタは、第1のメモリアレイの動作モードが第1のモードと第2のモードのいずれであるかを保持する第1の保持回路を含む。

【0014】請求項7に記載のダイナミック型半導体記憶装置は、請求項6記載のダイナミック型半導体記憶装置の構成に加えて、第2のメモリアレイをさらに備え、第1および第2のメモリアレイはそれぞれ独立して動作可能であり、かつそれぞれ動作モードを独立して制御できるバンクであり、第2のメモリアレイは、第3および第4のメモリセルと、第3および第4のメモリセルに対して授受されるデータを伝達するための第2のビット線と、第3のメモリセルを選択するための第3のワード線と、第4のメモリセルを選択するための第4のワード線と、セル選択手段は、アドレス信号に応じて、第3および第4のワード線を活性化し、第3および第4のメモリセルを選択し、第1のモードにおいては、アドレス信号に応じて第3および第4のメモリセルのいずれかを選択し、第2のモードにおいては、第3のメモリセルに対応するアドレス信号に応じて、第3および第4のメモリセルを選択する第2の行デコード回路をさらに含み、モードレジスタは、第2のメモリアレイの動作モードが第1のモードと第2のモードのいずれであるかを保持する第2の保持回路をさらに含む。

【0015】請求項8に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、外部から電位を与えることが可能な制御端子をさらに備え、制御端子の電位に応じて第1のモードと第2のモードのいずれかが選択される。

【0016】請求項9に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、電源ノードと内部ノードとの間に接

## 6

続されるヒューズ素子をさらに備え、ヒューズ素子は、導通状態と非導通状態のいずれかが選択可能であり、内部ノードの電位に応じて第1のモードと第2のモードのいずれかが選択される。

【0017】請求項10に記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、接地ノードと内部ノードとの間に接続されるヒューズ素子をさらに備え、ヒューズ素子は、導通状態と非導通状態のいずれかが選択可能であり、内部ノードの電位に応じて第1のモードと第2のモードのいずれかが選択される。

【0018】

【発明の実施の形態】以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0019】〔実施の形態1〕図1は、本発明の実施の形態1の半導体記憶装置1の構成を示す概略ブロック図である。

【0020】図1を参照して、半導体記憶装置1は、制御信号入力端子2〜6と、アドレス入力端子群8と、データ信号Dinを入力する入力端子14と、データ信号Doutを出力する出力端子16と、接地電位Vssを受ける接地端子12と、外部電源電位Ext. Vccを受ける電源端子10とを備える。

【0021】半導体記憶装置1は、さらに、クロック発生回路22と、行および列アドレスバッファ24と、行デコーダ26と、列デコーダ28と、センスアンプ+入出力制御回路30と、メモリセルアレイ32と、ゲート回路18と、データ入力バッファ20およびデータ出力バッファ34とを備える。

【0022】クロック発生回路22は、制御信号入力端子2、4を介して外部から与えられる外部行アドレスストローブ信号Ext. /RASと外部列アドレスストローブ信号Ext. /CASとに基づいた所定の動作モードに相当する制御クロックを発生し、半導体記憶装置全体の動作を制御する。また、低消費電力が要求されるセルフリフレッシュ等の場合には後に説明するモード選択信号CELL2を活性化する。

【0023】行および列アドレスバッファ24は、外部から与えられるアドレス信号A0〜An（nは自然数）に基づいて生成した内部行アドレス信号および内部列アドレス信号を行デコーダ26および列デコーダ28にそれぞれ与える。

【0024】行デコーダ26と列デコーダ28とによって指定されたメモリセルアレイ32中のメモリセルは、センスアンプ+入出力制御回路30とデータ入力バッファ20またはデータ出力バッファ22とを介して入力端子14または出力端子16を通じて外部とデータをやりとりする。

【0025】図2は、図1における行デコーダ26、メ

## 7

モリセルアレイ 32、センスアンプ+入出力制御回路 30 を概略的に示した図である。

【0026】図 2 を参照して、行デコーダ 26 は内部行アドレス信号 INTA0 ~ INTAn を受けてデコードしワード線 WL0 ~ WLn (m: 自然数) を活性化する。ここで、行デコーダ 26 はモード選択信号 CELL2 に応じてデコード動作を変更することによりワード線の活性化の仕方を変える点が従来と異なる。

【0027】図 3 は、図 2 における行デコーダ 26 の構成を示す回路図である。図 3 では、説明の簡単のため、内部アドレス信号 INTA0 ~ INTAn が INTA0 ~ INTA2 の 3 ビットの場合を説明する。

【0028】図 3 を参照して、行デコーダ 26 は、モード選択信号 CELL2 を受けて反転するインバータ 42 と、インバータ 42 の出力と内部アドレス信号 INTA2 を受ける NAND 回路 44 と、NAND 回路 44 の出力とワード線活性化信号 WLT を受ける AND 回路 46 と、AND 回路 46 の出力とインバータ 42 の出力とを受ける NAND 回路 48 と、NAND 回路 48 の出力とワード線活性化信号 WLT を受ける AND 回路 52 とを含む。AND 回路 46 の出力はプリデコード信号 /IA2 となり、AND 回路 50 の出力はプリデコード信号 IA2 となる。

【0029】行デコーダ 26 は、さらに、内部アドレス信号 INTA1 を受けて反転しプリデコード信号 /IA1 を出力するインバータ 52 と、プリデコード信号 /IA1 を受けて反転しプリデコード信号 IA1 を出力するインバータ 54 と、内部アドレス信号 INTA0 を受けて反転しプリデコード信号 /IA0 を出力するインバータ 56 と、プリデコード信号 IA0 を受けて反転しプリデコード信号 IA0 を出力するインバータ 58 とを含む。

【0030】行デコーダ 26 は、さらに、プリデコード信号 /IA0、/IA1、/IA2 を受ける 3NAND 回路 60 と、3NAND 回路 60 の出力を受けて反転しワード線活性化信号 WL0 を出力するインバータ 62 と、プリデコード信号 /IA0、/IA1、IA2 を受ける 3NAND 回路 64 と、3NAND 回路 64 の出力を受けて反転しワード線活性化信号 WL1 を出力するインバータ 66 と、プリデコード信号 IA0、/IA1、/IA2 とを受ける 3NAND 回路 68 と、3NAND 回路 68 の出力を受けて反転しワード線活性化信号 WL2 を出力するインバータ 70 と、プリデコード信号 IA0、/IA1、IA2 を受ける 3NAND 回路 72 と、3NAND 回路 72 の出力を受けて反転しワード線活性化信号 WL3 を出力するインバータ 74 とを含む。

【0031】行デコーダ 26 は、さらに、プリデコード信号 /IA0、IA1、/IA2 を受ける 3NAND 回路 76 と、3NAND 回路 76 の出力を受けて反転しワード線活性化信号 WL4 を出力するインバータ 78 と、

## 8

プリデコード信号 /IA0、IA1、IA2 を受ける 3NAND 回路 80 と、3NAND 回路 80 の出力を受けて反転しワード線活性化信号 WL5 を出力するインバータ 82 と、プリデコード信号 IA0、IA1、/IA2 を受ける 3NAND 回路 84 と、3NAND 回路 84 の出力を受けて反転しワード線活性化信号 WL6 を出力するインバータ 86 と、プリデコード信号 IA0、IA1、IA2 を受ける 3NAND 回路 88 と、3NAND 回路 88 の出力を受けて反転しワード線活性化信号 WL7 を出力するインバータ 90 とを含む。

【0032】この行デコーダ 26 は、モード選択信号 CELL2 が “L” レベルの場合は内部アドレス信号 INTA0 ~ INTA2 の値およびワード線活性化信号 WLT に応じてワード線活性化信号 WL0 ~ WL7 のうちいずれか 1 つを活性化するが、モード選択信号 CELL2 が “H” レベルの場合はワード線活性化信号 WLT が “H” レベルとなり活性化したときにはプリデコード信号 /IA2、IA2 はいずれも “H” レベルとなるため、ワード線活性化信号 WL0 ~ WL7 のうちいずれか 2 本が活性化される。

【0033】図 4 は、図 1 におけるセンスアンプ+入出力制御回路 30、メモリセルアレイ 32 の構成を説明するための回路図である。なお、接続関係を明らかにするため、行デコーダ 26 および列デコーダ 28 のブロックも参考として示している。

【0034】図 4 を参照して、センスアンプ+入出力制御回路 30 は、カラム選択信号 CSL0 によって活性化され入出力信号線 IO0 とビット線 BLa とを接続する Nチャネル MOS トランジスタ 102a と、カラム選択信号 CSL0 によって活性化され入出力信号線 /IO0 とビット線 /BLa とを接続する Nチャネル MOS トランジスタ 104a と、ビット線 BLa とビット線 /BLa との間の電位差を増幅するセンスアンプ 122a とを含む。

【0035】センスアンプ+入出力制御回路 30 は、さらに、カラム選択信号 CSL1 によって活性化され入出力信号線 IO0 とビット線 BLb とを接続する Nチャネル MOS トランジスタ 102b と、カラム選択信号 CSL1 によって活性化され入出力信号線 /IO0 とビット線 /BLb とを接続する Nチャネル MOS トランジスタ 104b と、ビット線 BLb とビット線 /BLb との間の電位差を増幅するセンスアンプ 122b とを含む。

【0036】センスアンプ+入出力制御回路 30 は、さらに、カラム選択信号 CSL0 によって活性化され入出力信号線 IO1 とビット線 BLc とを接続する Nチャネル MOS トランジスタ 102c と、カラム選択信号 CSL0 によって活性化され入出力信号線 /IO1 とビット線 /BLc とを接続する Nチャネル MOS トランジスタ 104c と、ビット線 BLc とビット線 /BLc との間の電位差を増幅するセンスアンプ 122c とを含む。

【0037】センスアンプ+入出力制御回路30は、さらに、カラム選択信号CSL1によって活性化され入出力信号線IO1とビット線BLdとを接続するNチャネルMOSトランジスタ102dと、カラム選択信号CSL1によって活性化され入出力信号線IO1とビット線BLdとを接続するNチャネルMOSトランジスタ104dと、ビット線BLdとビット線BLdとの間の電位差を増幅するセンスアンプ122dとを含む。

【0038】メモリセルアレイ32は、一方の電極がセルプレートCPに接続され他方の電極が記憶情報を蓄積するストレージノードとなるキャパシタ108aと、ワード線活性化信号WL0によって活性化されキャパシタ108aのストレージノードとビット線BLaとを接続するアクセストランジスタ106aと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ112aと、ワード線活性化信号WL2により活性化されキャパシタ112aのストレージノードとビット線BLaとを接続するアクセストランジスタ110aと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ116aと、ワード線活性化信号WL1により活性化されキャパシタ116aのストレージノードとビット線BLaとを接続するアクセストランジスタ114aと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ120aと、ワード線活性化信号WL3により活性化されキャパシタ120aのストレージノードとビット線BLaとを接続するアクセストランジスタ118aとを含む。

【0039】メモリセルアレイ32は、さらに、一方の電極がセルプレートCPに接続され他方の電極が記憶情報を蓄積するストレージノードとなるキャパシタ108bと、ワード線活性化信号WL0によって活性化されキャパシタ108bのストレージノードとビット線BLbとを接続するアクセストランジスタ106aと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ112bと、ワード線活性化信号WL2により活性化されキャパシタ112bのストレージノードとビット線BLbとを接続するアクセストランジスタ110bと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ116bと、ワード線活性化信号WL1により活性化されキャパシタ116bのストレージノードとビット線BLbとを接続するアクセストランジスタ114bと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ120bと、ワード線活性化信号WL3により活性化されキャパシタ120bのストレージノードとビット線BLaとを接続するアクセストランジスタ118bとを含む。

【0040】メモリセルアレイ32は、さらに、一方の電極がセルプレートCPに接続され他方の電極が記憶情

報を蓄積するストレージノードとなるキャパシタ108cと、ワード線活性化信号WL4によって活性化されキャパシタ108cのストレージノードとビット線BLcとを接続するアクセストランジスタ106cと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ112cと、ワード線活性化信号WL6により活性化されキャパシタ112cのストレージノードとビット線BLcとを接続するアクセストランジスタ110cと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ116cと、ワード線活性化信号WL5により活性化されキャパシタ116cのストレージノードとビット線BLcとを接続するアクセストランジスタ114cと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ120cと、ワード線活性化信号WL7により活性化されキャパシタ120cのストレージノードとビット線BLcとを接続するアクセストランジスタ118cとを含む。

【0041】メモリセルアレイ32は、さらに、一方の電極がセルプレートCPに接続され他方の電極が記憶情報を蓄積するストレージノードとなるキャパシタ108dと、ワード線活性化信号WL4によって活性化されキャパシタ108dのストレージノードとビット線BLdとを接続するアクセストランジスタ106dと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ112dと、ワード線活性化信号WL6により活性化されキャパシタ112dのストレージノードとビット線BLdとを接続するアクセストランジスタ110dと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ116dと、ワード線活性化信号WL5により活性化されキャパシタ116dのストレージノードとビット線BLdとを接続するアクセストランジスタ114dと、一方の電極がセルプレートCPに接続され他方の電極がストレージノードとなるキャパシタ120dと、ワード線活性化信号WL7により活性化されキャパシタ120dのストレージノードとビット線BLdとを接続するアクセストランジスタ118dとを含む。

【0042】図5は、図1におけるVPP発生回路36の構成を示すブロック図である。図5を参照して、VPP発生回路36は、昇圧電位VPPが所定の電圧値に達していないときにイネーブル信号EN0を活性化するVPP検知回路146と、モード選択信号CELL2を受けて反転するインバータ132と、モード選択信号CELL2とイネーブル信号EN0とを受けてイネーブル信号EN1を発生するAND回路134と、イネーブル信号EN1が“H”レベルのときに活性化されクロック信号CKHを発生するリング発振回路(High)136と、インバータ132の出力とイネーブル信号EN0とを受けてイネーブル信号EN2を出力するAND回路1

38と、イネーブル信号EN2が“H”レベルのときに活性化されクロック信号CKLを発生するリング発振回路(Low)140と、モード選択信号CELL2が“H”レベルのときはクロック信号CKHを出力し、モード選択信号CELL2が“L”レベルのときはクロック信号CKLを出力するクロック選択ゲート142と、クロック選択信号142の出力するクロック信号に応じて昇圧電位VPPを発生するVPPポンプ回路144とを含む。

【0043】図6は、図5におけるリング発振回路(High)136の構成を示す回路図である。

【0044】リング発振回路(High)136は、イネーブル信号EN1が“H”レベルのときにクロック信号CKHを出力するNAND回路150と、クロック信号CKHを受けて遅延させNAND回路150の入力にフィードバックする遅延回路148とを含む。

【0045】遅延回路148は、偶数段の直列に接続されたインバータ152～154を含み、このインバータの段数は必要に応じて増減される。

【0046】図7は、図5におけるリング発振回路(Low)140の構成を示す回路図である。

【0047】リング発振回路(Low)140は、イネーブル信号EN2が“H”レベルのときにクロック信号CKLを出力するNAND回路160と、クロック信号CKLを受けて遅延させNAND回路160の入力にフィードバックする遅延回路158とを含む。

【0048】遅延回路158は、偶数段の直列に接続されたインバータ162～164を含む。このインバータの段数は図6に示した遅延回路148に含まれる段数よりも多く設定される。つまり、遅延回路158は遅延回路148より遅延時間が大きい。そのためリング発振回路140の発振周波数はリング発振回路136の発振周波数より低い周波数になる。

【0049】図8は、実施の形態1の半導体記憶装置のワード線選択の様子を説明するための動作波形図である。

【0050】図3、図8を参照して、期間T1においては、モード選択信号CELL2は“L”レベルになっている。このとき内部アドレス信号INTA0～INTA2がいずれも“L”レベルであるとする。ワード線活性化信号WLTが“L”レベルから“H”レベルに立上ると、内部アドレス信号INTA2が“L”レベルであるため行デコーダ26におけるプリデコード信号IA2、/IA2のうちプリデコード信号/IA2のみが活性化される。内部アドレス信号INTA0、INTA1はいずれも“L”レベルであるため、応じてワード線活性化信号WL0のみが活性化される。そして、ワード線活性化信号WLTが立下ると応じてプリデコード信号/IA2が立下がりワード線活性化信号WL0も立下がる。

【0051】期間T2は、半導体記憶装置が使用される機器がレジューム等の低消費電力モードとなっている場合である。このときモード選択信号CELL2は“H”レベルに設定される。期間T1の場合と同様に内部アドレス信号INTA0～INTA2がいずれも“L”レベルの場合を考える。ワード線活性化信号WLTが“L”レベルから“H”レベルに立上ると、内部アドレス信号INTA2は“L”レベルであるがモード選択信号CELL2が“H”レベルであるため、応じてプリデコード信号IA2、/IA2がいずれも活性化され“L”レベルから“H”レベルに立上る。内部アドレス信号INTA0、INTA1はいずれも“L”レベルであるため、応じてワード線活性化信号WL0、WL1が双方とも“L”レベルから“H”レベルに立上る。

【0052】ここで、ワード線活性化信号WL0、WL1は図4に示したメモリセルアレイ32中のキャパシタ108a、116aのストレージノードを一括してビット線BLaに接続する。したがって、キャパシタ108a、116aのストレージノードに同じ情報が読み書きされることになる。

【0053】しかしながら、ワード線活性化信号WL0に加えて、ワード線活性化信号WL1も活性化させねばならないため、これらの活性化信号を駆動するための昇圧電位を供給するVPP発生回路の駆動能力を強化する必要がある。

【0054】図5においてモード選択信号CELL2が“H”レベルであるときはVPPポンプ回路144を駆動するクロックが速いクロックとなるためVPP発生回路36の昇圧電位を供給する能力は期間T2においては強化されるので問題ない。

【0055】DRAMは、メモリセル中のキャパシタのストレージノードに蓄積された電荷が時間の経過とともに失われていくため、一定時間ごとにストレージノードに記憶されていたデータを一旦読出して再び書き込むリフレッシュ動作が必要である。

【0056】アクセストランジスタが導通したときにキャパシタに蓄積された電荷がビット線に放出されビット線の電位が変化する。リフレッシュ動作の周期は、この時の電位差がセンスアンプ112aが増幅可能な電位差より大きい間に行なうことが必要である。

【0057】したがって、キャパシタ108aに加えてキャパシタ116aに同じ情報を蓄積し2倍の電荷をビット線に放出するようにすればビット線の電位変化はより大きくなるので、リフレッシュ周期を伸ばすことができる。したがって消費電力を抑えることができる。

【0058】以上説明したように、実施の形態1の半導体記憶装置は、通常動作時にはモード選択信号CELL2は“L”レベルが与えられる。このとき行デコーダ26は内部アドレス信号INTA0～INTAnを受けてデコードレワード線WL0～WLmのうちいずれか1本



のワード線を活性化する。この活性化に応じて所定のメモセルへのデータの授受またはデータのリフレッシュが行なわれる。

【0059】サスペンドやレジェームなどの低消費電力が要求される場合には、モード選択信号CELL2は“H”レベルに設定される。応じて行デコード26は内部行アドレス信号INTA0～INTAnに応じてワード線WL0～WLmの中から所定の2本を活性化させる。この活性化に応じて半導体記憶装置はメモセルアレイのデータをリフレッシュする。このときはメモセルアレイ2つに対して1つのデータが記憶される。つまり同時に2本ワード線が選択されるとビット線に2つのメモセルが接続され、2つのメモセルに蓄積されていた電荷がビット線に放出される結果、1つのメモセルが接続される場合よりもより大きな電位差がビット線対間を生じる。これは、ビット線の容量値とメモセルの容量値の比率が変わったことに起因する。したがって、リフレッシュ周期をより長くすることが可能となる。

【0060】すなわち、メモリ容量が必要で消費電力がそれほど重要ではない場合にはモード選択信号CELL2を“L”レベルに設定し、通常のDRAMとしての記憶動作を行ない、記憶容量がそれほど必要ではなく消費電力を抑えたい場合には、モード選択信号CELL2を“H”レベルに設定することによりリフレッシュ周期をより長くした低消費電力動作が可能である。そして、この2つの動作モードはユーザにとって必要に応じて適宜切換えて使用することが可能である。

【0061】〔実施の形態2〕実施の形態2の半導体記憶装置は、行デコード26に代えて行デコード100を含む点が実施の形態1と異なる。

【0062】図9は、実施の形態2に用いられる行デコード100の構成を示す回路図である。

【0063】図9を参照して、実施の形態2の半導体記憶装置では、行デコード100において、ワード線活性化信号WLTを受けて遅延させワード線活性化信号WLTD0を出力する遅延回路182をさらに含み、モード選択信号CELL2が“L”レベルのときはワード線活性化信号WLTをワード線活性化信号WLTDとしてAND回路50に出力し、モード選択信号CELL2が“L”レベルの場合はワード線活性化信号WLTD0をワード線活性化信号WLTDとしてAND回路50に出力する選択ゲート184を含む点が実施の形態1の場合と異なる。遅延回路182はワード線活性化信号WLTを受けてワード線活性化信号WLTDを出力する直列に接続された偶数段のインバータ186～188を含む。

【0064】他の部分は図3に示した行デコード26と同様であるので説明は繰返さない。図10は、行デコード100の動作を説明するための動作波形図である。

【0065】図10を参照して、期間T1においては、

モード選択信号CELL2は“L”レベルになっている。このとき内部アドレス信号INTA0～INTA2がいずれも“L”レベルであるとする。ワード線活性化信号WLTが“L”レベルから“H”レベルに立上ると、内部アドレス信号INTA2が“L”レベルであるため行デコード26におけるプリデコード信号IA2、/IA2のうちプリデコード信号/IA2のみが活性化される。内部アドレス信号INTA0、INTA1はいずれも“L”レベルであるため、応じてワード線活性化信号WL0のみが活性化される。そして、ワード線活性化信号WLTが立下ると応じてプリデコード信号/IA2が立下がりワード線活性化信号WL0も立下がる。

【0066】一方、期間T2においてモード選択信号CELL2が“H”レベルに設定されると、図9におけるワード線活性化信号WLTDが遅延回路182の出力に応じて活性化されるため、プリデコード信号/IA2の立上がりに対してプリデコード信号/IA2の立上がりは遅延回路182の遅延量に応じて遅延する。このため一括して活性化されるワード線活性化信号WL0、WL1において、立上がりのタイミングおよび立下がりのタイミングがずれることになる。図1に示したVPP発生回路36はワード線活性化信号の立上がり時においてワード線を充電するために電流が消費されるのであるから、このワード線活性化信号をずらして立上げることによりVPP発生回路36の電流供給能力を増大させなくてもワード線活性化信号を2つ同時に活性化することが可能となる。

【0067】〔実施の形態3〕図11は、実施の形態3における半導体記憶装置の例である64メガビットシンクロナスダイナミックランダムアクセスメモリ(64MSDRAM)のブロック図である。

【0068】図11を参照して、SDRAM500は、外部アドレス信号A0～A12とバンクアドレス信号BA0、BA1とを受けて内部アドレス信号INTA0～INTA12を発生するアドレスバッファ504と、外部クロック信号CLKおよびクロックイネーブル信号CKEを受けて内部クロック信号ICLKを発生するクロック信号バッファ502と、内部クロック信号ICLKに基づいてチップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEおよび入出力DQMマスク信号DQMを内部に取込むコントロール信号バッファ506と、内部クロック信号ICLK、内部アドレス信号INTA0～INTA12およびコントロール信号バッファ506の出力を受けてチップ全体の制御を行なうコントロール回路508と、コントロール信号バッファの出力に応じたSDRAMの動作モードをコントロール回路508の指示により保持するモードレジスタ510とを含む。

【0069】SDRAM500は、さらに、データを外



部と入出力を行なうDQバッファ514と、外部から入力されたデータを保持するメモリアレイ512とをさらに含む。メモリアレイ512はメモリアレイ512a～512dの4バンクに分かれており、それぞれ独立して動作が可能である。

【0070】図12は、モードレジスタ510およびコントロール回路508の構成を説明するための回路図である。図12では、コントロール回路508についてはモードレジスタへのデータの設定に関する部分のみを示す。図12を参照して、コントロール回路508は、コントロール信号バッファ506によって取込まれた制御信号を受けてコマンドをデコードするコマンドデコーダ522と、モードレジスタの設定モードを更新するモードレジスタセットコマンド(MRS)が入力されたときにコマンドデコーダによって一時的に“L”レベルに活性化される信号/MSETを受けて反転しモードレジスタセット信号MSETを出力するインバータ528と、内部アドレス信号INTA0を受けモードレジスタセット信号MSETによって活性化されるクロックドインバータ530と、クロックドインバータ530の出力を受けて反転するインバータ532と、インバータ532の出力を受けて反転しインバータ532の入力ノードに出力するインバータ534と、内部アドレス信号INTA1を受けてモードレジスタセット信号MSETに応じて活性化されるクロックドインバータ536と、クロックドインバータ536の出力を受けて反転するインバータ538と、インバータ538の出力を受けて反転しインバータ538の入力ノードに出力するインバータ540と、内部アドレス信号INTA2を受けてモードレジスタセット信号MSETによって活性化されるクロックドインバータ542と、クロックドインバータ542の出力を受けて反転するインバータ544と、インバータ544の出力を受けて反転しインバータ544の入力ノードに出力するインバータ546と、内部アドレス信号INTA8を受けモードレジスタセット信号MSETによって活性化されるクロックドインバータ548と、クロックドインバータ548の出力を受けて反転するインバータ550と、インバータ550の出力を受けて反転しインバータ550の入力ノードに出力するインバータ552とを含む。モードレジスタ510は、インバータ532、538、544の出力をそれぞれラッチするラッチ回路MA0、MA1、MA2と、インバータ550の出力をラッチするラッチ回路MA8とを含む。ここでラッチ回路MA0、MA1、MA2はSDRAMのバースト長を設定するバースト長設定部524を構成する。またラッチ回路MA8はレジュームやサスペンド時に“H”レベルに設定されるモード選択信号CELL2の情報を保持しているモード設定部526である。

【0071】図13は、モードレジスタへのモード設定を説明するための動作波形図である。

【0072】図13を参照して、時刻t1において、クロック信号CLKの立上がりによりチップセレクト信号/CS=L、ロウアドレスストロブ信号/RAS=L、ライトイネーブル信号/WE=L、カラムアドレスストロブ信号/CAS=Lがコントロール信号バッファに入力されると、コマンドデコーダによってモードレジスタセットコマンド(MRS)と認識される。

【0073】応じてモードレジスタセット信号/MSETにH→L→Hのワンショットパルスが現われ図12に示したクロックドインバータ530、536、542および548が導通状態となり、内部アドレス信号INTAnをモードレジスタMANに伝えラッチされる。

【0074】この内部にラッチされたアドレスは、たとえばMA0～2はバースト長を示す。ここで、たとえば、MA8をロウデコーダ制御信号CELL2として用いる。

【0075】したがって、実施の形態2の半導体記憶装置は、外部からユーザがロウデコーダの制御を容易に行なうことが可能となり、また、半導体記憶装置に電源が供給されている動作時には任意に制御モードをユーザが変更することが可能となる。

【0076】〔実施の形態4〕図14は、実施の形態4の半導体記憶装置におけるバンクの構成と行デコーダとの対応関係を示した図である。

【0077】実施の形態4では、バンク562a、562b、562c、562dに対応して設けられる行デコーダ564a、564b、564c、564dにモード選択信号CELL2、CELL2B、CELL2CおよびCELL2Dを入力して、切換えることが可能になっている点が実施の形態3の半導体記憶装置と異なる。モード選択信号CELL2、CELL2B、CELL2CおよびCELL2Dは実施の形態3の場合と同様モードレジスタセットコマンド(MRS)が入力された時のアドレス端子の設定により設定することができる。

【0078】図15は、動作モードのバンク切換をわかりやすく説明するための図である。図15を参照して、たとえばメモリアレイ562a(バンクA)は8Mbitsの容量しかないが、リフレッシュ周期を約2倍程度の256msに設定できるバンクであり、その他のメモリアレイ562b～562d(バンクB、C、D)は、容量は16Mbitsあるがリフレッシュ周期は128msであるバンクである。

【0079】このようにすれば、たとえば、バンクB、C、Dを通常使用時におけるデータ記憶用のDRAMとして使用し、バンクAをあまりアクセス頻度のないレジュームやサスペンド等のデータ記憶用として用いることができる。各バンクの動作モードはそれぞれ設定することができるので、容量と消費電力のバランスを用途に応じてユーザの希望どおりに設定可能となる。すなわちDRAM内蔵マイコンのようにメモリ容量の決まったチッ

ブにおいて、容量と消費電力とのバランスを可変にでき、用途に応じた適切な使い方ができるという効果がある。

【0080】〔実施の形態5〕図16は、実施の形態5においてモード選択信号CELL2を発生する構成を説明するための回路図である。

【0081】図16を参照して、実施の形態5の半導体記憶装置は、制御信号入力用パッド702と、パッド702に与えられた信号を受けて反転するインバータ704と、インバータ704の出力を受けて反転しモード選択信号CELL2を出力するインバータ706を含む点が実施の形態1の場合と異なる。

【0082】このようにすることによってモード選択信号CELL2を外から制御することが可能となり、また、アセンブリ段階でのボンディングオプションにより動作モードを固定することも可能となる。

【0083】〔実施の形態6〕図17は、実施の形態6の半導体記憶装置においてモード選択信号CELL2を発生する構成を示す回路図である。

【0084】図17を参照して、実施の形態6の半導体記憶装置は、電源電位Vccと接地電位との間に直列に接続されたヒューズ素子708、抵抗710と、ヒューズ素子708と抵抗710との接続ノードの電位を受けて反転するインバータ712と、インバータ712の出力を受けて反転しモード選択信号CELL2を出力するインバータ714を含む点が実施の形態1の場合と異なる。

【0085】ヒューズ素子708は、たとえば、ポリシリコンなどで構成され、レーザトリミング等によって導通状態と非導通状態とを選択することができるものである。

【0086】抵抗710は、MQオーダの高抵抗である。ヒューズ素子708を切断すれば、抵抗710によってインバータ712の入力は“L”レベルに設定される。応じてモード選択信号CELL2は“L”レベルとなる。一方ヒューズ素子708を切断しないでおけば、外部電源電位Vccによりインバータ712の入力はHレベルにされ、応じてモード選択信号CELL2は“H”レベルとなる。したがって、用途に応じてリフレッシュ周期が長く記憶容量が少ない第1のモードでもメモリ容量が多い第2のモードでも動作可能な半導体記憶装置とすることができるため、用途に応じた生産調整等が容易となる。

【0087】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0088】

【発明の効果】請求項1に記載のダイナミック型半導体記憶装置は、1つのデータ保持に1つのメモリセルを使用する記憶容量の大きいモードと1つのデータ保持に2つのメモリセルを使用する低消費電力モードを選択可能であるため、ユーザがこの2つの動作モードを必要に応じて適宜切換えて使用することが可能である。

【0089】請求項2、3に記載のダイナミック型半導体記憶装置は、請求項1に記載のダイナミック型半導体記憶装置が奏する効果に加えて、低消費電力モードにおいて従来と同様にワード線を活性化することが可能である。

【0090】請求項4に記載のダイナミック型半導体記憶装置は、1つのデータ保持に1つのメモリセルを使用する記憶容量の大きいモードと1つのデータ保持に2つのメモリセルを使用する低消費電力モードを選択可能であるため、ユーザがこの2つの動作モードを必要に応じて適宜切換えて使用することが可能である。

【0091】請求項5に記載のダイナミック型半導体記憶装置は、請求項1に記載のダイナミック型半導体記憶装置が奏する効果に加えて、低消費電力モードにおいてワード線の活性化電位を与える電圧発生回路を補強せず従来と同様にワード線を活性化することが可能である。

【0092】請求項6に記載のダイナミック型半導体記憶装置は、請求項1に記載のダイナミック型半導体記憶装置が奏する効果に加えて、1つのデータ保持に1つのメモリセルを使用する記憶容量の大きいモードと1つのデータ保持に2つのメモリセルを使用する低消費電力モードを端子の設定により選択可能であるため、ユーザがこの2つの動作モードを必要に応じて適宜切換えて使用することが可能である。

【0093】請求項7に記載のダイナミック型半導体記憶装置は、請求項6に記載のダイナミック型半導体記憶装置が奏する効果に加えて、バンクごとに動作モードを選択して使用できるので用途に応じたバンクの使い分けが可能である。

【0094】請求項8～10に記載のダイナミック型半導体記憶装置は、請求項1に記載のダイナミック型半導体記憶装置が奏する効果に加えて、動作モードの設定を簡便に行うことが可能であり、用途に応じた生産調整等も容易である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体記憶装置1の構成を示す概略ブロック図である。

【図2】 図1における行デコーダ26、メモリセルアレイ32、センスアンプ+入出力制御回路30を概略的に示した図である。

【図3】 図2における行デコーダ26の構成を示す回路図である。

【図4】 図1におけるセンスアンプ+入出力制御回路

30、メモリセルアレイ32の構成を説明するための回路図である。

【図5】 図1におけるVPP発生回路36の構成を示すブロック図である。

【図6】 図5におけるリング発振回路(High)136の構成を示す回路図である。

【図7】 図5におけるリング発振回路(Low)140の構成を示す回路図である。

【図8】 実施の形態1の半導体記憶装置のワード線選択の様子を説明するための動作波形図である。

【図9】 実施の形態2に用いられる行デコーダ100の構成を示す回路図である。

【図10】 行デコーダ100の動作を説明するための動作波形図である。

【図11】 実施の形態3における半導体記憶装置の例である64メガビット シンクロナスダイナミックランダムアクセスメモリ(64M SDRAM)のブロック図である。

【図12】 モードレジスタ510およびコントロール回路508の構成を説明するための回路図である。

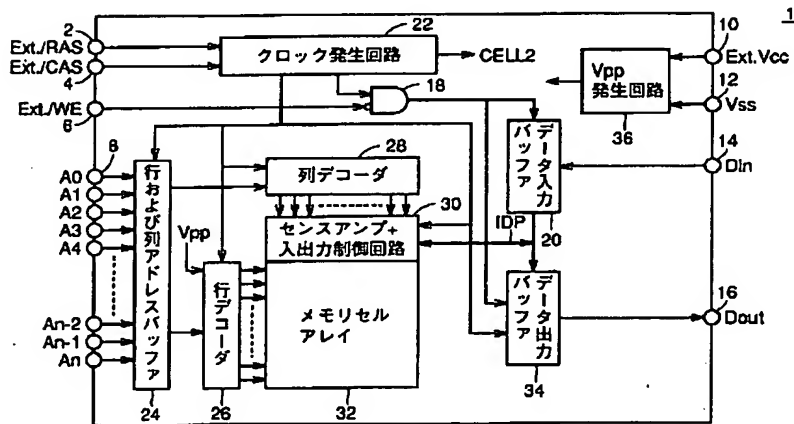
【図13】 モードレジスタへのモード設定を説明するための動作波形図である。

【図14】 実施の形態4の半導体記憶装置におけるバンクの構成と行デコーダとの対応関係を示した図である。

【図15】 動作モードのバンク切換をわかりやすく説明するための図である。

【図16】 実施の形態5においてモード選択信号CELL2を発生する構成を説明するための回路図である。

【図1】



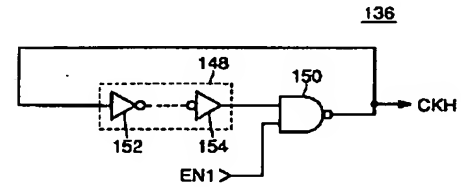
【図17】 実施の形態6の半導体記憶装置においてモード選択信号CELL2を発生する構成を示す回路図である。

【図18】 DRAMの行デコーダおよびメモリセルアレイを概略的に示す図である。

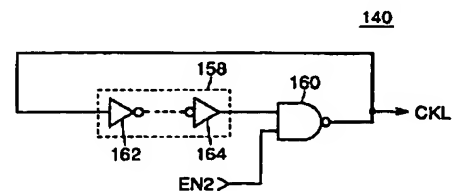
【符号の説明】

2~6 制御信号入力端子、8 アドレス入力端子群、14 データ入力端子、16 データ出力端子、1 半導体記憶装置、22 クロック発生回路、36 Vpp発生回路、26, 100 行デコーダ、28 列デコーダ、32 メモリセルアレイ、30 センスアンプ+入出力制御回路、20 データ入力バッファ、34 データ出力バッファ、CSL0, CSL1 列選択線、WL0~WL7 ワード線活性化信号、106a~106d, 110a~110d, 114a~114d, 118a~118d アクセストランジスタ、108a~108d, 112a~112d, 116a~116d, 120a~120d キャパシタ、122a~122d センスアンプ、136, 140 リング発振回路、144 VPPポンプ回路、146 VPP検知回路、148, 158, 188 遅延回路、142, 184 選択ゲート、502 クロック信号バッファ、504 アドレスバッファ、506 コントロール信号バッファ、508 コントロール回路、510 モードレジスタ、512 メモリアレイ、512a~512d バンク、514 DQバッファ、500 SDRAM、548 クロックドインバータ、550, 552 インバータ、702 パッド、704, 706, 712, 714 インバータ、708 ヒューズ素子、710 抵抗。

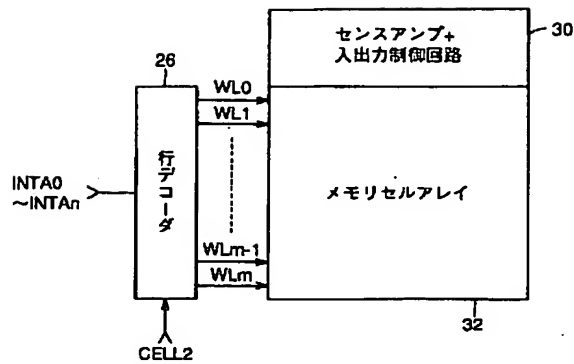
【図6】



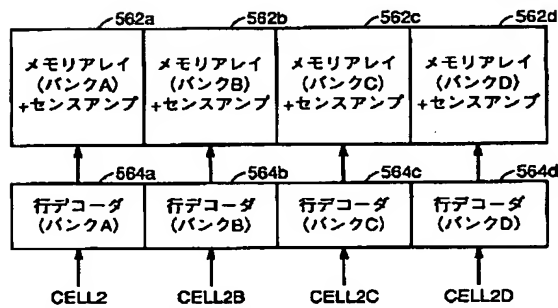
【図7】



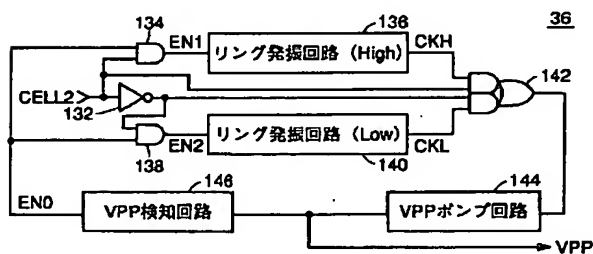
【図 2】



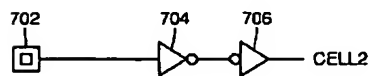
【図 14】



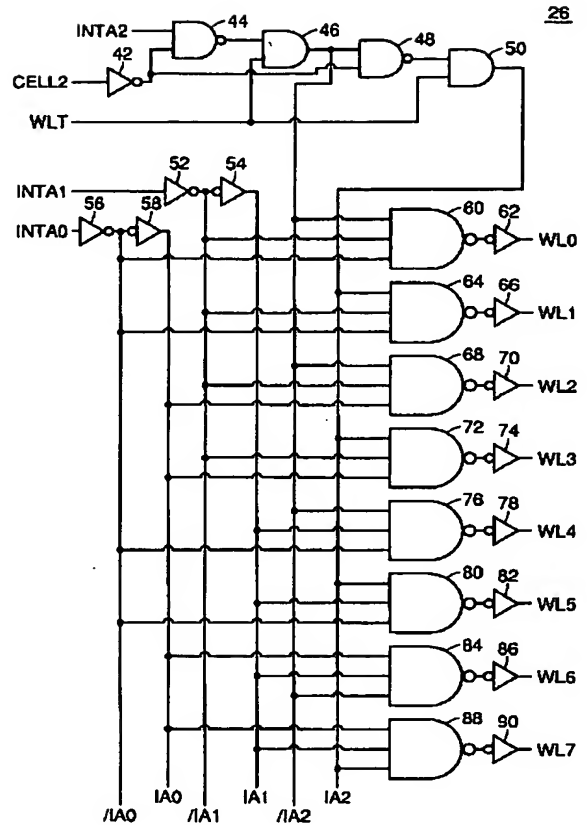
【図 5】



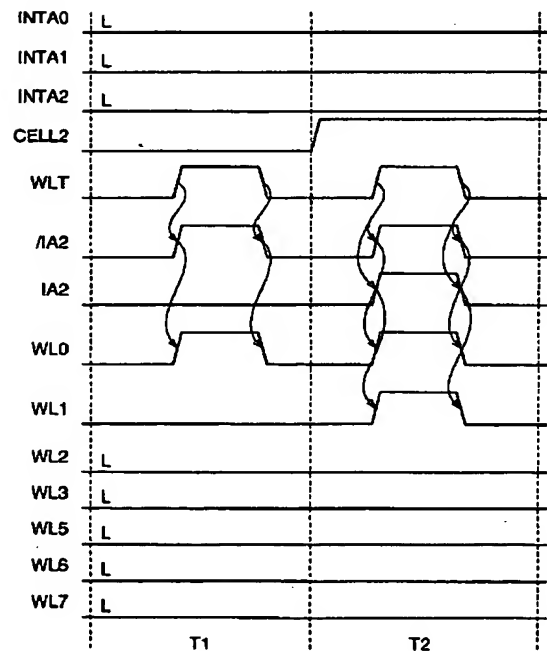
【図 16】



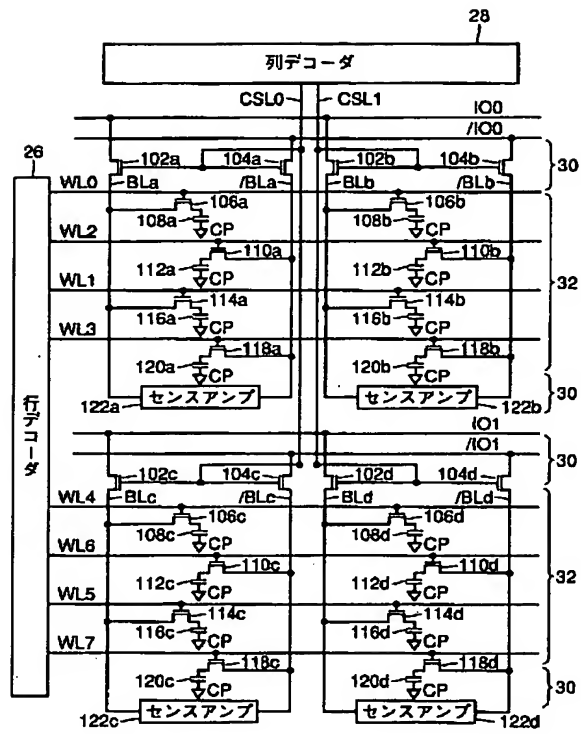
【図 3】



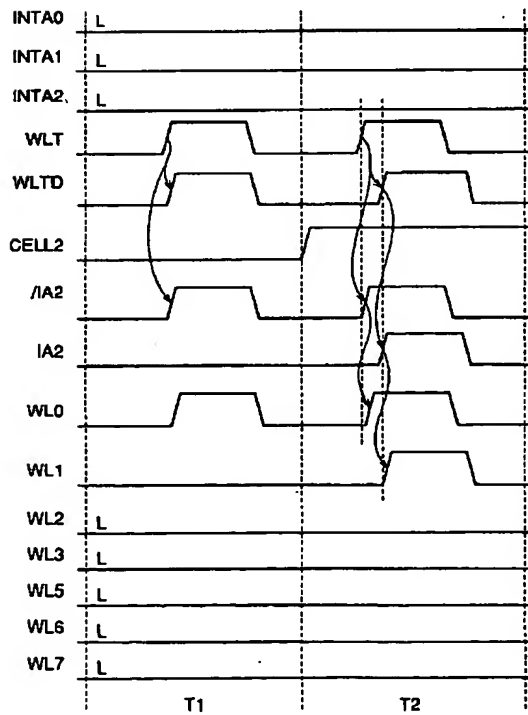
【図 8】



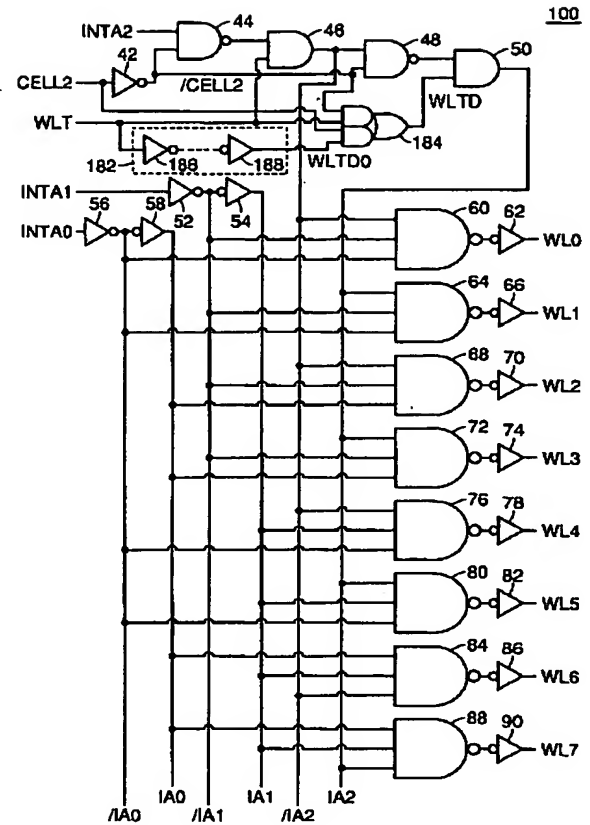
【図 4】



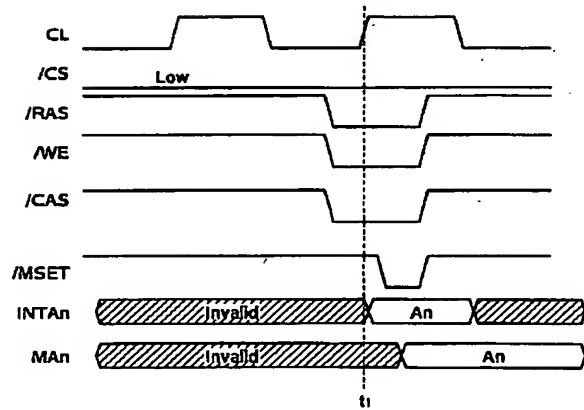
【図 10】



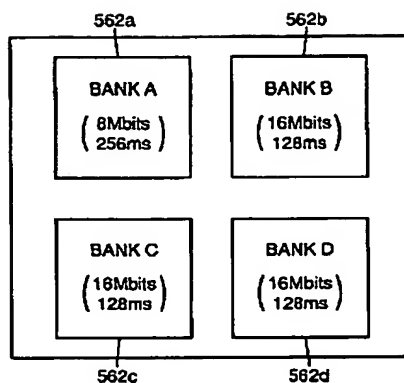
【図 9】



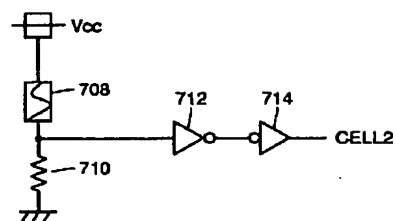
【図 13】



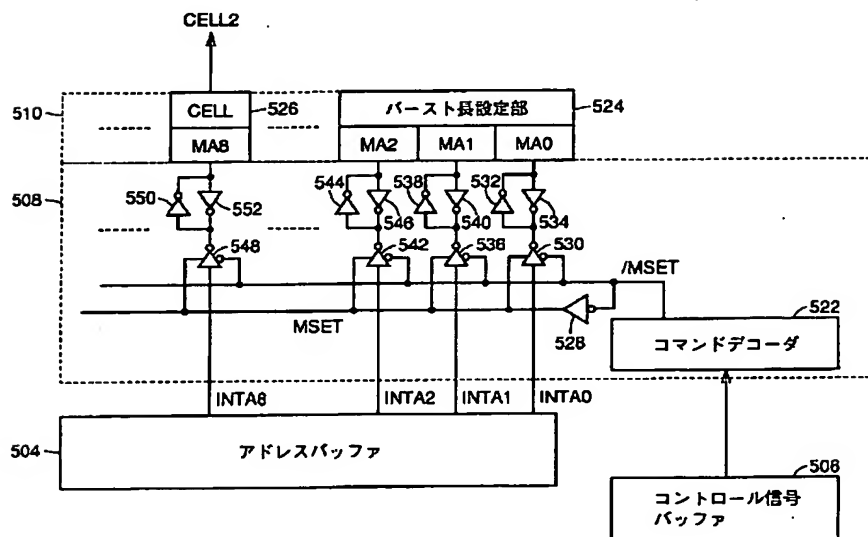
【☒ 15】



【例 17】



【图 12】



【図18】

